第五章　采购需求

一、项目背景与目标

本项目旨在采购高性能 FPGA 开发平台，用于支持高速数字信号处理、通信协议验证、实时数据处理算法开发及硬件加速相关研究工作。通过引入 FPGA 开发套件，构建具备高速串行通信、大带宽存储和灵活扩展能力的硬件验证环境，满足当前及未来三年内对复杂算法原型验证与系统集成的需求。

二、技术要求

技术指标要求★为废标条款，不实质性响应则视为投标无效；△为一般技术指标。

★号技术指标投标时需提供证明材料，证明材料可以使用国家认证认可的检验检测机构出具的检测报告或生产厂家官方网站截图或生产厂家技术文件或其他相关证明材料，上述材料需加盖投标人公章。

如招标文件明确要求提供证明资料的需按要求提供相关证明材料。

序号	标的名称	单位	数量	是否为核心产品	是否允许进口产品投标
1	FPGA 开发板	套	5	是	否
2	FPGA 开发软件	套	1	否	否

2.1 FPGA 开发板硬件平台要求

项目	**规格要求**
△FPGA 开发板	数量≥5 套
★FPGA 逻辑资源	逻辑单元≥650K Logic Cells
★DSP 处理资源	DSP Slice 数量≥3200 个
△板载内存	配置≥2 组 DDR3 SODIMM，单组容量≥4GB，数据速率≥1866Mbps
△配置 Flash	板载 BPI NOR Flash 容量≥32MB
★高速接口	支持 PCIe Gen3×6；≥3 路 SFP＋接口，支持 10G 速率

项目	规格要求
★扩展接口	具备标准 FMC-HPC 高速夹层扩展接口；接口支持不少于 10 路高速串行收发器、不少于 160 路单端 I/O，支持 ADC/DAC、光纤、摄像头等子卡扩展升级
△调试接口	具备 JTAG 调试、USB 虚拟串口 UART、SMA 调试接口
△配件	每套包含电源适配器、配套 USB 线缆、5GbE 光模块数量≥4 个

2.2 FPGA 开发软件工具与 IP 核要求

项目	要求
△硬件设计工具	提供对应 FPGA 器件的完整集成开发套件，可完成逻辑设计、综合、布局布线、在线调试；支持 Windows、Linux 主流操作系统，工具版本为 2022.1 或以上同等能力版本
△IP 核基本元件	提供完整基础 IP，至少包含：DDR3 存储控制器、时钟管理单元、高速串行收发器 IP、PCIe 控制器 IP、以太网 MAC 等基础 IP 组件
△许可方式	器件锁定永久许可，许可与投标 FPGA 硬件匹配，无时间到期限制

2.3 FPGA 开发软件预验证参考设计要求

为加速用户系统开发与验证，每套套件应随附以下预验证参考设计：

参考设计类型	具体要求
△高性能串行连接参考设计	至少包含 1 个 10G 以太网或高速串行链路工程，可验证高速收发器、链路传输稳定性；提供完整源代码（Verilog/VHDL）、约束文件、编译调试文档等。
△高级存储接口参考设计	至少包含 1 个 DDR3 SODIMM 内存控制器参考设计，可验证读写带宽及时序
△PCIe 通信参考设计	至少包含端点模式工程，支持 DMA 主机数据交互。

参考设计类型	具体要求
△FMC 扩展接口参考设计	至少包含 1 个通过 FMC 接口控制子卡（如 LED 子卡或 IO 子卡）的示例设计，展示 FMC 引脚分配与驱动方式

注：所有参考设计应提供：完整源代码（Verilog/VHDL）、可在投标产品配套开发环境直接打开编译的工程文件、约束文件、编译与下载脚本、简要说明文档（含使用步骤与调试指南）。

三、服务要求

1、技术文档：提供完整的原理图 PDF、PCB 说明、用户手册、引脚约束文件；

2、安装调试支持：承诺提供现场或远程的安装调试支持，确保开发板可正常运行并完成至少一个参考设计的编译与下载；（投标人提供承诺函，加盖投标人公章）

3、操作培训：提供≥1 天的操作培训，对应开发软件工程搭建、IP 配置调用、FMC 子卡扩展、配套参考设计修改复用操作培训；场地、交通等与培训相关的费用均由投标人承担（无时间限制）。（投标人提供承诺函，加盖投标人公章）

4、质保期：自验收合格之日起≥3 年，质保期内因非采购人人为原因造成的硬件故障由中标人维修或更换，已包含在投标人投标报价中；（投标人提供承诺函，加盖投标人公章）

5、备件与长期支持：质保期内提供的备件和技术支持，已包含在投标人投标报价中；质保期满后提供有偿备件供应，提供有偿远程技术支持；技术支持响应时间≤2 个工作日。

四、付款条件

★合同生效后 10 个工作日内支付合同总价的 50%，货物全部验收通过后再支付合同总价的 40%，其余 10%作为质量保证金，质保金每年返还金额：总质保金/质保期限。

投标人提供承诺函，加盖投标人公章。（格式详见第七章）